

日 本 国 特 許
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月25日

出 願 番 号
Application Number:

特願2003-047176

[ST.10/C]:

[JP 2003-047176]

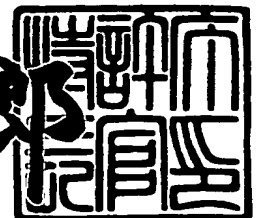
出 願 人
Applicant(s):

パイオニア株式会社

2003年 6月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051469

【書類名】 特許願

【整理番号】 57P0473

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 17/49

【発明の名称】 プラズマディスプレイパネル及び表示装置

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

 【氏名】 尾谷 栄志郎

【発明者】

 【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

 【氏名】 矢作 和男

【特許出願人】

 【識別番号】 000005016

 【氏名又は名称】 パイオニア株式会社

【代理人】

 【識別番号】 100079119

 【弁理士】

 【氏名又は名称】 藤村 元彦

【手数料の表示】

 【予納台帳番号】 016469

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プラズマディスプレイパネル及び表示装置

【特許請求の範囲】

【請求項 1】 各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成するプラズマディスプレイパネルであって、

前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第 1 放電セルと、行電極の一部と列電極との間での放電が行われる第 2 放電セルとに区画され、

対となる前記第 1 放電セルと前記第 2 放電セルとの間に連通部を有することを特徴とするプラズマディスプレイパネル。

【請求項 2】 前記行電極各々は、行方向に延びる本体部と、前記本体部から単位発光領域毎に隣接する他の行電極に向かって列方向に伸長した T 字状端部とを備え、

前記第 1 放電セルは、第 1 放電ギャップを介して互いに対向する前記 T 字状端部に対向する部分を含み、前記第 2 放電セルは、第 2 放電ギャップを介して前記行電極の本体部と列電極とが対向する部分を含むことを特徴とする請求項 1 記載のプラズマディスプレイパネル。

【請求項 3】 前記第 2 放電セルの前記前面基板側に黒色層が設けられていることを特徴とする請求項 1 記載のプラズマディスプレイパネル。

【請求項 4】 前記第 2 放電セルの前記背面基板側に 2 次電子放出層が設けられていることを特徴とする請求項 1 記載のプラズマディスプレイパネル。

【請求項 5】 前記第 1 放電セルの前記前面基板側にのみ蛍光体層が設けられていることを特徴とする請求項 1 記載のプラズマディスプレイパネル。

【請求項 6】 1 フィールドの表示期間を、アドレス期間とサスティン期間

を有する複数のサブフィールドで構成し、入力映像信号に基づく各画素毎の画素データに応じて前記入力映像信号に対応した画像表示を行う表示装置であって、

各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成し、

前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第1放電セルと、行電極の一部と列電極との間での放電が行われる第2放電セルとに区画され、

対となる前記第1放電セルと前記第2放電セルとの間に連通部を有するプラズマディスプレイパネルと、

前記アドレス期間において前記行電極対の第1行電極に順次、正極性の走査パルスを加えつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となる関係で1表示ラインずつ順次前記列電極各々に印加して、前記第2放電セル内において選択的にアドレス放電を生起せしめるアドレス手段と、

前記サステイン期間において前記行電極対を構成する行電極間にサステインパルスを印加するサステイン手段と、を備えたことを特徴とする表示装置。

【請求項7】 前記サステイン手段は負極性の最終サステインパルスを前記第1行電極に印加することを特徴とする請求項6記載の表示装置。

【請求項8】 前記アドレス手段は、前記第2放電セル内における選択的アドレス放電を第1放電セルに広げて第1放電セルを点灯セル状態又は消灯セル状態のいずれか一方に設定することを特徴とする請求項6に記載の表示装置。

【請求項9】 前記行電極各々は、行方向に延びる本体部と、この本体部から単位発光領域毎に隣接する他の行電極に向かって列方向に伸長したT字状端部とを備え、

前記第 1 放電セルは、第 1 放電ギャップを介して互いに対向する前記 T 字状端部に対向する部分を含み、前記第 2 放電セルは、第 2 放電ギャップを介して前記行電極の本体部と列電極とが対向する部分を含むことを特徴とする請求項 6 記載の表示装置。

【請求項 1 0】 前記第 2 放電セルの前記前面基板側に黒色層が設けられていることを特徴とする請求項 6 記載の表示装置。

【請求項 1 1】 前記第 2 放電セルの前記背面基板側に 2 次電子放出層が設けられていることを特徴とする請求項 6 記載の表示装置。

【請求項 1 2】 前記第 1 放電セルの前記前面基板側にのみ蛍光体層が設けられていることを特徴とする請求項 6 記載の表示装置。

【請求項 1 3】 前記単位発光領域各々の第 2 放電セルの放電空間は、隣接する単位発光領域の放電空間と隔壁によって閉じられていると共に行方向に隣接する単位発光領域各々の第 1 放電セルの放電空間は連通していることを特徴とする請求項 6 記載の表示装置。

【請求項 1 4】 前記アドレス手段による前記アドレス放電に先立って、前記行電極対の第 1 行電極と前記列電極との間にリセットパルスを加して前記第 2 放電セル内においてリセット放電を生起せしめるリセット手段を更に備えたことを特徴とする請求項 6 記載の表示装置。

【請求項 1 5】 前記リセットパルスは前記サステインパルスに比して立ち上がり区間又は立下り区間でのレベル推移が緩やかな波形を有することを請求項 1 4 項記載の表示装置。

【請求項 1 6】 前記リセット手段は奇数表示ラインに対するリセット放電と偶数表示ラインに対するリセット放電とを時間的に分離して実行することを特徴とする請求項 1 4 記載の表示装置。

【請求項 1 7】 前記アドレス手段は奇数は表示ラインに対するアドレス放電と偶数表示ラインに対するアドレス放電とを時間的に分離して実行することを特徴とする請求項 6 記載の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、プラズマディスプレイパネル及びそれを搭載した表示装置に関する。

【0002】

【従来の技術】

近年、大型で薄型のカラー表示パネルとして面放電方式交流型プラズマディスプレイパネルを搭載したプラズマディスプレイ装置が注目されている（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開平5-205642号公報

図1～図3は、かかる従来の面放電方式交流型プラズマディスプレイパネルの構成の一部を示す図である。

プラズマディスプレイパネル（PDP）には、図2に示す如き互いに平行に配置された前面ガラス基板1と背面ガラス基板4との間に画素毎に放電を生じさせるための構成が形成されている。前面ガラス基板1の表面が表示面となる。前面ガラス基板1の裏面側には、長手の複数の行電極対（X'，Y'）と、この行電極対（X'，Y'）を被覆する誘電体層2と、この誘電体層2の裏面を被覆するMgO（酸化マグネシウム）からなる保護層3が順に設けられている。各行電極X'，Y'は、図1に示す如く、夫々、幅の広いITO等の透明導電膜からなる透明電極Xa'，Ya'と、その導電性を補う幅の狭い金属膜からなるバス電極Xb'，Yb'とから構成されている。行電極X'とY'とが放電ギャップg'を挟んで対向するように表示画面の垂直方向に交互に配置されており、各行電極対（X'，Y'）によって、マトリクス表示の1表示ライン（行）Lが構成されている。背面ガラス基板4には、図3に示す如く、行電極対X'，Y'と直交する方向に配列された複数の列電極D'と、この列電極D'間にそれぞれ平行に形成された帯状の隔壁5と、この隔壁5の側面と列電極D'を被覆するそれぞれ赤（R）、緑（G）、青（B）の蛍光材料によって形成された蛍光体層6とが設けられている。保護層3及び蛍光体層6間には、図2に示す如く、キセノンを含む

Ne-Xe ガスが封入されている放電空間 S' が存在する。各表示ライン L には、図 1 に示す如く列電極 D' 及び行電極対 (X' , Y') の交差部において放電空間 S' を隔壁 5 によって区画した、単位発光領域としての放電セル C' が形成されている。

【 0 0 0 4 】

上記の面放電方式交流型 PDP における画像の形成には、中間調を表示させるための方法として、サブフィールド法を用いた階調駆動方法が知られている。かかる駆動法では、1 フィールドの表示期間を N 個のサブフィールドに分割し、各サブフィールドにそのサブフィールドの重み付けに対応した発光実施回数を割り当てる。そして、入力映像信号に応じて、各放電セル毎に発光実施するサブフィールドと、発光を実施させないサブフィールドとを設定して発光駆動を行う。この際、1 フィールドを通して実施された発光の総数に応じた中間輝度が視覚されるのである。

【 0 0 0 5 】

図 4 は、上記駆動を実現すべく各サブフィールド内において PDP に印加される各種駆動パルスを示す図である。

図 4 に示すように、各サブフィールドは、一斉リセット期間 R_c 、アドレス期間 W_c 、及びサステイン期間 I_c によって構成されている。

一斉リセット期間 R_c では、互いに対をなす行電極 $X_1' \sim X_n'$ と $Y_1' \sim Y_n'$ 間にリセットパルス RP_x , RP_y が一斉に印加されることによって、全ての放電セルにおいて一斉にリセット放電が行われ、これによって、一旦、各放電セル内に所定量の壁電荷が形成される。次のアドレス期間 W_c では、行電極 $Y_1' \sim Y_n'$ に順次、走査パルス SP が印加されるとともに、入力映像信号に対応した各画素毎の画素データパルスが 1 表示ライン分ずつ列電極 $D_1' \sim D_m'$ に印加される。すなわち、図 4 に示す如く、第 1 表示ライン～第 n 表示ライン各々に対応した夫々 m 個の画素データパルスからなる画素データパルス群 $DP_1 \sim DP_n$ が走査パルス SP に同期して順次、列電極 $D_1' \sim D_m'$ に印加されるのである。その走査パルスと同時に高電圧の画素データパルスが印加された放電セルのみにアドレス放電（選択消去放電）が生起される。かかるアドレス放電により放電セル内に形成され

ていた壁電荷が消滅する。一方、アドレス放電の生起されなかった放電セル内には壁電荷が残留する。次のサステイン期間 I_c では、互いに対をなす行電極 $X_1' \sim X_n'$ と $Y_1' \sim Y_n'$ 間にサステインパルス I_{Px} , I_{Py} が各サブフィールドの重み付けに対応した数だけ印加される。これによって、壁電荷が残留したままの発光セルのみが、印加されるサステインパルス I_{Px} , I_{Py} の数に対応した数だけサステイン放電を繰り返す。かかるサステイン放電により、放電空間 S' に封入されているキセノン Xe から波長 147 nm の真空紫外線が放射される。かかる真空紫外線により、背面基板上に形成されている赤 (R)、緑 (G)、青 (B) の蛍光体層が励起して可視光を発生する。

【0006】

【発明が解決しようとする課題】

このようなPDPにおける画像形成においては、上記のように、アドレス放電やサステイン放電の安定化のためにその放電の開始前にリセット放電が行われる。更に、アドレス放電も各サブフィールド毎に行われる。従来のPDPでは、このリセット放電およびアドレス放電が、サステイン放電によって画像形成のための可視光を発生させる放電セル C' 内において行われる。よって、黒等の暗い画像の表示が行われる際にもリセット放電やアドレス放電による発光がパネルの表示面に現れて画面が明るくなってしまうため、コントラストの低下等が生じる場合があった。

【0007】

また、行電極 X' 、 Y' を交互に配列した構成では、非表示ラインにおいても行電極 X' 、 Y' が隣り合うため、サステイン期間において非表示ラインに電位差が生じる。非表示ラインでの不要な放電を防止すると共に消費電力の増大を招くライン間の静電容量を低減するためにライン間の電極間隔を十分大きい値に設定する必要がある。このため、ラインピッチの縮小による高精細化が困難であった。

【0008】

本発明が解決しようとする課題には、上記の問題点が一例として挙げられ、高コントラスト及び高精細化を図ることができるプラズマディスプレイパネル及び

それを用いた表示装置を提供することが本発明の目的である。

【 0 0 0 9 】

【課題を解決するための手段】

本発明のプラズマディスプレイパネルは、各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成するプラズマディスプレイパネルであって、前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第 1 放電セルと、行電極の一部と列電極との間での放電が行われる第 2 放電セルとに区画され、対となる前記第 1 放電セルと前記第 2 放電セルとの間に連通部を有することを特徴としている。

【 0 0 1 0 】

本発明の表示装置は、1 フィールドの表示期間を、アドレス期間とサステイン期間を有する複数のサブフィールドで構成し、入力映像信号に基づく各画素毎の画素データに応じて前記入力映像信号に対応した画像表示を行う表示装置であって、各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において前記複数の行電極を被覆する誘電体層と、各々が前記前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、前記行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とを備え、前記複数の行電極の隣接する行電極間各々が表示ラインを構成し、前記単位発光領域の各々の周囲が隔壁により区画され、前記単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第 1 放電セルと、行電極の一部と列電極との間での放電が行われる第 2 放電セルとに区画され、対となる前記第 1 放電セルと前記第 2 放電セルとの間に連通部を有するプラズマディスプレイパネルと、前記アドレス期間において前記行電極対の第 1 行電極に順次、正極性の走査パルス印加しつつ前記走査パルス

と同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となる関係で1表示ラインずつ順次前記列電極各々に印加して、前記第2放電セル内において選択的にアドレス放電を生起せしめるアドレス手段と、前記サステイン期間において前記行電極対を構成する行電極間にサステインパルスを印加するサステイン手段と、を備えたことを特徴としている。

【0011】

【発明の実施の形態】

図5は、本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

図5に示すように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP50、X電極ドライバ51、Y電極ドライバ53、アドレスドライバ55及び駆動制御回路56から構成される。

【0012】

PDP50には、表示画面における垂直方向に夫々伸張している帯状の列電極 $D_1 \sim D_m$ が形成されている。更に、PDP50には、表示画面における水平方向に夫々伸張している行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が、図5に示すように交互にかつ番号順に配列して形成されている。一对の行電極、つまり行電極対(X_1 、 Y_1)～行電極対(X_n 、 Y_n)の各々がPDP50における第1表示ライン～第($2n-1$)表示ラインを担う。各表示ラインと列電極 $D_1 \sim D_m$ 各々との各交叉部(図5中の一点鎖線にて囲まれた領域)に、画素を担う画素セル(単位発光領域)PCが形成されている。すなわち、PDP50には、第1表示ラインに属する画素セル $PC_{1,1} \sim PC_{1,m}$ 、第2表示ラインに属する画素セル $PC_{2,1} \sim PC_{2,m}$ 、……、第($2n-1$)表示ラインに属する画素セル $PC_{2n-1,1} \sim PC_{2n-1,m}$ がマトリクス状に配列されているのである。

【0013】

図6～図10は、PDP50の内部構造の一部を抜粋して示す図である。

図6は表示面側から眺めたPDP50の平面図である。図7は図6に示されるV1-V1線から眺めたPDP50の断面図である。図8は図6に示されるV2-V2線から眺めたPDP50の断面図である。図9は図6に示されるW1-W

1 線から眺めた PDP 50 の断面図である。図 10 は図 6 に示される W2-W2 線から眺めた PDP 50 の断面図である。

【 0 0 1 4 】

図 6 に示された PDP 50 は列電極 $D_1 \sim D_m$ のうちの 3 つの列電極 D 、行電極 $X_1 \sim X_n$ のうちの 2 つの行電極 X_k, X_{k+1} 及び行電極 $Y_1 \sim Y_n$ のうちの 1 つの行電極 Y_k の部分である。行電極 X_k, X_{k+1} 各々は、表示表面の垂直方向（列方向）に伸長し T 字状の両端を有する複数の透明電極 Xa と、複数の透明電極 Xa と接続され表示画面の水平方向（行方向）に伸長する帯状のバス電極 Xb （行電極 X の本体部）とから構成される。行電極 Y_k は、表示表面の垂直方向に伸長し T 字状の両端を有する複数の透明電極 Ya と、複数の透明電極 Ya と接続され表示画面の水平方向に伸長する帯状のバス電極 Yb （行電極 Y の本体部）とから構成される。ただし、図 6 においては、行電極 X_k, X_{k+1} の透明電極 Xa は一端部分しか示されていないが、透明電極 Ya と同様の形状である。透明電極 Xa, Ya はITO等の透明導電膜からなり、各列電極 D に対応した位置に夫々配置されている。更に、垂直方向において隣接する透明電極 Xa, Ya の T 字状の端部は互いに所定の放電ギャップ g を介して対向した位置関係を有している。放電ギャップ g の位置に対応した部分が表示放電セル（第 1 放電セル） $C1$ の部分である。バス電極 Xb, Yb は例えば、黒色又は透明の金属膜からなる。バス電極 Xb と透明電極 Xa とが交差する位置及びバス電極 Yb と透明電極 Ya とが交差する位置は各制御放電セル $C2$ （第 2 放電セル）の形成位置に対応する。

【 0 0 1 5 】

透明電極 Xa, Ya は、図 7 に示されるように PDP 50 の表示面を担う前面ガラス基板 10 と背面基板 13 との間に形成されている。前面ガラス基板 10 と背面基板 13 とは互いに平行配置されている。透明電極 Xa とバス電極 Xb との間には、バス電極 Xb と同一形状の光吸収層 61 が形成されている。同様に、透明電極 Ya とバス電極 Yb との間には、バス電極 Yb と同一形状の光吸収層 62 が形成されている。光吸収層 61, 62 は黒色または暗色の顔料を含んでいる。更に、これら透明電極 Xa, Ya 、光吸収層 61, 62 及びバス電極 Xb, Yb を覆うように前面ガラス基板 10 の裏面には誘電体層 11 が形成されている。

【 0 0 1 6 】

背面基板 1 3 上には、図 9 及び図 1 0 に示されるように、垂直方向に伸張している複数の列電極 D が互いに所定の間隙を開けて平行に配列されている。また、背面基板 1 3 には、列電極 D を被覆する白色の列電極保護層（誘電体層） 1 4 が形成されている。列電極保護層 1 4 上には、横壁 1 5 A、仕切壁 1 5 B 及び縦壁 1 5 C が形成されている。横壁 1 5 A 及び縦壁 1 5 C が隔壁である。横壁 1 5 A は垂直方向において各画素セルを区分けし、縦壁 1 5 C は水平方向において各画素セルを区分けする。すなわち、横壁 1 5 A と縦壁 1 5 C とで区分けされた各部分が画素セル PC（上記の PC1、₁ ~ PC1、_m）である。仕切壁 1 5 B は画素セル PC 各々を表示放電セル C 1 と制御放電セル C 2 とに区分けする壁である。画素セル PC を構成するために対をなす表示放電セル C 1 と制御放電セル C 2 との位置関係は水平方向においては隣同士同じである。

【 0 0 1 7 】

横壁 1 5 A、仕切壁 1 5 B 及び縦壁 1 5 C 各々の高さは同一である。各制御放電セル C 2 に対応した部分の横壁 1 5 A 及び縦壁 1 5 C 各々の先端と誘電体層 1 1 との間には嵩上げ誘電体層 1 2 が挿入形成されている。仕切壁 1 5 B と誘電体層 1 1 との間には嵩上げ誘電体層 1 2 は形成されていない。嵩上げ誘電体層 1 2 の表面と画素セル PC の空間に面する誘電体層 1 1 の表面とは、MgO（酸化マグネシウム）からなる保護層（図示せず）によって被覆されている。

【 0 0 1 8 】

画素セル PC の空間は放電ガスが封入され、表示放電セル C 1 及び制御放電セル C 2 各々の放電空間が存在する。

また、図 7 及び図 9 に示されるように、各表示放電セル C 1 の放電空間を囲む列電極保護層 1 4、横壁 1 5 A、仕切壁 1 5 B 及び縦壁 1 5 C の各面には蛍光体層 1 6 が形成されている。蛍光体層 1 6 としては、赤色で発光する赤色蛍光層、緑色で発光する緑色蛍光層、及び青色で発光する青色蛍光層の 3 系統があり、各画素セル PC 毎にその割り当てが決まっている。

【 0 0 1 9 】

図 7 及び図 1 0 に示されるように、各制御放電セル C 2 の放電空間を囲む列電

極保護層 1 4、横壁 1 5 A、仕切壁 1 5 B 及び縦壁 1 5 C の各面には 2 次電子放出材料層 3 0 が形成されている。2 次電子放出材料層 3 0 は、仕事関数が低い(例えば 4.2 eV 以下)、いわゆる 2 次電子放出係数の高い高 γ 材料からなる層である。2 次電子放出材料層 3 0 として用いる材料としては、例えば MgO 、 CaO 、 SrO 、 BaO 等のアルカリ土類金属酸化物、 Cs_2O 等のアルカリ金属酸化物、 CaF_2 、 MgF_2 等のフッ化物、 TiO_2 、 Y_2O_3 、或いは、結晶欠陥や不純物ドーピングにより 2 次電子放出係数を高めた材料、ダイヤモンド状薄膜、カーボンナノチューブ等がある。

【0020】

上記した嵩上げ誘電体層 1 2 が形成されていない仕切壁 1 5 B と誘電体層 1 1 との間は表示放電セル C 1 の放電空間と制御放電セル C 2 の放電空間とを連通する間隙 r となっている。表示面の左右方向において互いに隣接する制御放電セル C 2 各々の放電空間は、図 8 に示す如き嵩上げ誘電体層 1 2 及び誘電体層 1 8 によって遮断されているが、表示面の左右方向において互いに隣接する表示放電セル C 1 各々の放電空間は互いに連通している。

【0021】

このように、PDP 50 に形成されている画素セル $\text{PC}_{1,1} \sim \text{PC}_{n-1,m}$ の各々は、互いにその放電空間が連通している表示放電セル C 1 及び制御放電セル C 2 から構成されている。また、行電極 $X_2 \sim X_n$ 及び行電極 $Y_1 \sim Y_{n-1}$ は連続する 2 表示ラインで兼用される構成である。

X 電極ドライバ 5 1 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 50 の行電極 $X_1 \sim X_n$ 各々に、各種駆動パルス印加する。電極ドライバ 5 3 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 50 の行電極 $Y_1 \sim Y_n$ 各々に各種駆動パルス印加する。アドレスドライバ 5 5 は、駆動制御回路 5 6 から供給されたタイミング信号に応じて、PDP 50 の列電極 $D_1 \sim D_m$ に画素データパルス印加する。

【0022】

駆動制御回路 5 6 は、先ず、入力映像信号を各画素毎に輝度レベルを表す例えば 8 ビットの画素データに変換し、この画素データに対して如き誤差拡散処理及

びディザ処理を施す。例えば、当該誤差拡散処理では、先ず、画素データの上位 6 ビット分を表示データ、残りの下位 2 ビット分を誤差データとする。そして、周辺画素各々に対応した当該画素データの各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位 2 ビット分の輝度が上記周辺画素によって擬似的に表現され、それ故に 8 ビットよりも少ない 6 ビット分の表示データにて、8 ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた 6 ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を 1 画素単位とし、この 1 画素単位内の各画素に対応した誤差拡散処理画素データに対して、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、1 画素単位で眺めた場合には、ディザ加算画素データの上位 4 ビット分だけでも 8 ビットに相当する輝度を表現することが可能となる。

【 0 0 2 3 】

駆動制御回路 5 6 は、これら誤差拡散処理及びディザ処理により 8 ビットの画素データを 4 ビットの多階調化画素データ PD_S に変換し、更に、この多階調化画素データ PD_S を図 1 1 に示す如きデータ変換テーブルに従って 15 ビットの画素駆動データ GD に変換する。これにより、8 ビットで 256 階調を表現し得る画素データは、全部で 16 パターンからなる 15 ビットの画素駆動データ GD に変換される。次に、駆動制御回路 5 6 は、1 画面分の画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 毎に、これら画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々を同一ビット桁同士にて分離することにより、奇数行及び偶数行の画素駆動データビット群 $DB1 \sim DB15$ を得る。駆動制御回路 5 6 は、サブフィールド $SF1 \sim SF15$ 毎に、そのサブフィールドに対応した画素駆動データビット群 DB におけるデータビットを 1 表示ライン分 (m 個) ずつアドレスドライバ 5 5 に供給する。

【 0 0 2 4 】

図 1 2 は、選択消去アドレス法を適用して PDP 50 を階調駆動する際の発光駆動シーケンスを示す図である。

図 1 2 に示す発光駆動シーケンスでは、映像信号における各フィールドを 15

個のサブフィールドSF1～SF15に分割し、各サブフィールドにおいてアドレス行程W、及び発光維持行程（サステーン行程）Iを実行する。なお、この実施例では1フィールドのサブフィールド数を15にしたが、15サブフィールドに限定する必要はない。

【0025】

サブフィールドSF1～SF15のうちの先頭のサブフィールドSF1ではアドレス行程Wに先立ちリセット行程Rが実行され、最後尾のサブフィールドSF15では発光維持行程Iの直後に消去行程Eが実行される。また、各サブフィールドにおいてアドレス行程Wのアドレッシングは行電極 $X_1 \sim X_n$ について先に W_X として行った後、行電極 $Y_1 \sim Y_n$ について W_Y 行われる。また、第1サブフィールドSF1のリセット行程Rのリセット動作も R_X 、 R_Y のように各々行われる。

【0026】

図13は、図12に示す発光駆動シーケンスに従って、リセット行程 R_X 、 R_Y 、アドレス行程 W_X 、 W_Y 、発光維持行程I各々にてX電極ドライバ51及びY電極ドライバ各々がPDP50に印加する各種駆動パルスを示す図である。なお、図13においては、先頭のサブフィールドSF1の全て、サブフィールドSF2及びSF15各々の一部のみを抜粋して示している。

【0027】

まず、X電極のリセット行程 R_X では、X電極ドライバ51が緩やかな立ち上がり、正極性のリセットパルス RP_X を発生してPDP50の行電極 $X_1 \sim X_n$ の各々に同時に印加する。リセットパルス RP_X の印加によってPDP50の行電極 $X_1 \sim X_n$ に関する画素セルPC各々の制御放電セルC2内の列電極D及び行電極 $X_1 \sim X_n$ 間においてリセット放電が生起される。この放電の結果、行電極 $X_1 \sim X_n$ に関する制御放電セルC2内に壁電荷が形成される。

【0028】

X電極のアドレス行程 W_X では、リセットパルス RP_X の印加直後に、X電極ドライバ51は負極性の極性反転パルス PP_X を行電極 $X_1 \sim X_n$ の各々に同時に印加し、アドレスドライバ55は、極性反転パルス PP_X と同時に正極性の極性反転パルス PP_D を発生してPDP50の列電極 $D_1 \sim D_m$ の各々に同時に印加する。

。その極性反転パルス PP_X 及び PP_D の印加によって行電極 $X_1 \sim X_n$ に関する画素セル PC 各々の制御放電セル C_2 内の列電極 D 及び行電極 $X_1 \sim X_n$ (バス電極 X_b) 間において放電が生起される。この放電の結果、壁電荷の極性が反転され、列電極 D に負電荷が形成され、バス電極 X_b に正電荷が形成される。

【 0 0 2 9 】

X 電極のアドレス行程 W_X では、極性反転後、 X 電極ドライバ 5 1 が正極性の電圧 V_1 を全ての行電極 $X_1 \sim X_n$ に印加しつつ、正極性の電圧 V_2 ($V_2 > V_1$) を有する走査パルス SP を行電極 $X_1 \sim X_n$ に順次印加して行く。この間、 Y 電極ドライバ 5 3 は、行電極 $Y_1 \sim Y_n$ 各々に正極性の所定電位を印加する。アドレスドライバ 5 5 は、このサブフィールド SF_1 に対応した奇数行の画素駆動データビット群 DB_1 における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルス DP に変換する。例えば、アドレスドライバ 5 5 は、論理レベル 0 の画素駆動データビットを正極性の高電圧の画素データパルス DP に変換する一方、論理レベル 1 の画素駆動データビットを低電圧(例えば、0 ボルト)の画素データパルス DP に変換する。そして、かかる画素データパルス DP を走査パルス SP の印加タイミングに同期して 1 表示ライン分 (m 個) ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ 5 5 は、先ず、第 1 表示ラインに対応した m 個の画素データパルス DP からなる画素データパルス群 DP_1 を列電極 $D_1 \sim D_m$ に印加し、次に、第 3 表示ラインに対応した m 個の画素データパルス DP からなる画素データパルス群 DP_3 を列電極 $D_1 \sim D_m$ に印加して行くのである。以降の奇数表示ラインも同様の印加が順次行われる。正極性の電圧 V_2 を有する走査パルス SP と低電圧の画素データパルス DP とが同時に印加された画素セル PC の制御放電セル C_2 内の列電極 D 及びバス電極 X_b 間において消去アドレス放電が生起される。そして、消去アドレス放電に伴いその放電が図 7 に示した間隙 r を介して表示放電セル C_1 側に移行し、表示放電セル C_1 内の所定電位の行電極 Y_a 及び X_a 間で放電が生起される。上述した如き制御放電セル C_2 から表示放電セル C_1 への放電移行により、表示放電セル C_1 内に形成されていた壁電荷が消滅する。一方、走査パルス SP が印加されたものの高電圧の画素データパルス DP が印加された画素セル PC の制御放電セル C_2 内では上記

の如き消去アドレス放電は生起されない。よって、上述した如き制御放電セルC 2 から表示放電セルC 1 への放電移行も生じないので、表示放電セルC 1 内の壁電荷の形成状態も現状を維持する。つまり、表示放電セルC 1 内に壁電荷が存在する場合にはこれがそのまま残留し、存在しない場合には壁電荷のこの壁電荷の非形成状態が維持される。

【 0 0 3 0 】

次に、Y電極のリセット行程 R_Y では、X電極ドライバ5 1は緩やかな立ち上がりの正極性のリセットパルス RP_X を発生してPDP 5 0の行電極 $X_1 \sim X_n$ の各々に同時に印加し、Y電極ドライバ5 3は緩やかな立ち上がりの正極性のリセットパルス RP_Y を発生してPDP 5 0の行電極 $Y_1 \sim Y_n$ の各々に同時に印加する。Y電極のリセット行程 R_Y におけるリセットパルス RP_X はダミーパルスであり、これによる放電は生じない。一方、リセットパルス RP_Y の印加によってPDP 5 0の行電極 $Y_1 \sim Y_n$ に関する画素セルPC各々の制御放電セルC 2 内の列電極D及び行電極 $Y_1 \sim Y_n$ 間においてリセット放電が生起される。このリセット放電の結果、行電極 $Y_1 \sim Y_n$ に関する制御放電セルC 2 内に壁電荷が形成される。

【 0 0 3 1 】

Y電極のアドレス行程 W_Y では、リセットパルス RP_Y の印加直後に、Y電極ドライバ5 3は負極性の極性反転パルス PP_Y を行電極 $Y_1 \sim Y_n$ の各々に同時に印加し、アドレスドライバ5 5は、極性反転パルス PP_Y と同時に正極性の極性反転パルス PP_D を発生してPDP 5 0の列電極 $D_1 \sim D_m$ の各々に同時に印加する。極性反転パルス PP_Y 及び PP_D の印加によって行電極 $Y_1 \sim Y_n$ に関する画素セルPC各々の制御放電セルC 2 内の列電極D及び行電極 $Y_1 \sim Y_n$ （バス電極Y b）間において放電が生起される。この放電の結果、壁電荷の極性が反転され、列電極Dに負電荷が形成され、バス電極Y bに正電荷が形成される。

【 0 0 3 2 】

その後のY電極のアドレス行程 W_Y では、Y電極ドライバ5 3が正極性の電圧V 1を全ての行電極 $Y_1 \sim Y_n$ に印加しつつ、正極性の電圧V 2（ $V 2 > V 1$ ）を有する走査パルスSPを行電極 $Y_1 \sim Y_n$ に順次印加して行く。この間、X電極ド

ライバ 5 1 は、行電極 $X_1 \sim X_n$ 各々に正極性の所定電位を印加する。アドレスドライバ 5 5 は、このサブフィールド S F 1 に対応した偶数行の画素駆動データビット群 D B 1 における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルス D P に変換する。かかる画素データパルス D P を走査パルス S P の印加タイミングに同期して 1 表示ライン分 (m 個) ずつ列電極 $D_1 \sim D_m$ に印加して行く。アドレスドライバ 5 5 は、先ず、第 2 表示ラインに対応した m 個の画素データパルス D P からなる画素データパルス群 D P₁ を列電極 $D_1 \sim D_m$ に印加し、次に、第 4 表示ラインに対応した m 個の画素データパルス D P からなる画素データパルス群 D P₃ を列電極 $D_1 \sim D_m$ に印加して行くのである。以降の偶数表示ラインも同様の印加が順次行われる。正極性の電圧 V 2 を有する走査パルス S P と低電圧の画素データパルス D P とが同時に印加された画素セル P C の制御放電セル C 2 内の列電極 D 及びバス電極 Y b 間において消去アドレス放電が生起される。そして、消去アドレス放電に伴いその放電が図 7 に示した間隙 r を介して表示放電セル C 1 側に移行し、表示放電セル C 1 内の所定電位の行電極 X a 及び Y a 間で放電が生起される。上述した如き制御放電セル C 2 から表示放電セル C 1 への放電移行により、表示放電セル C 1 内に形成されていた壁電荷が消滅する。一方、走査パルス S P が印加されたものの高電圧の画素データパルス D P が印加された画素セル P C の制御放電セル C 2 内では上記の如き消去アドレス放電は生起されない。よって、上述した如き制御放電セル C 2 から表示放電セル C 1 への放電移行も生じないので、表示放電セル C 1 内の壁電荷の形成状態も現状を維持する。

【 0 0 3 3 】

このように、選択消去アドレス法に基づくアドレス行程 W_X , W_Y では、サブフィールドに対応した画素駆動データビット群の各データビットに応じて選択的に画素セル P C 各々の制御放電セル C 2 内に消去アドレス放電を生起させて壁電荷を消去させる。これにより、壁電荷の残留する画素セル P C を点灯セルモード、壁電荷が消去された画素セル P C を消灯セルモードに設定するのである。

【 0 0 3 4 】

第 1 サブフィールドにおいてはアドレス行程 W_Y の次のサステイン行程 I の最

初に、X電極ドライバ51は負極性の極性反転パルス PP_X を発生してPDP50の行電極 $X_1 \sim X_n$ の各々に同時に印加し、Y電極ドライバ53は同様に負極性の極性反転パルス PP_Y を発生してPDP50の行電極 $Y_1 \sim Y_n$ の各々に同時に印加する。その極性反転パルス PP_X 、 PP_Y の印加と同時に、アドレスドライバ55は、正極性の極性反転パルス PP_D を発生してPDP50の列電極 $D_1 \sim D_m$ の各々に同時に印加する。

【0035】

上記のX及びY電極のアドレス行程 W_X 、 W_Y で壁電荷が維持された画素セルについては電荷が列電極 $D_1 \sim D_m$ では正極性、行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ では負極性となっている。極性反転パルス PP_X 、 PP_Y 、 PP_D の印加によって行電極 $X_1 \sim X_n$ の電荷が正極性に反転し、行電極 $Y_1 \sim Y_n$ の電荷が負極性のままとなる。

【0036】

その後のサステイン行程Iでは、Y電極ドライバ53が負極性のサステインパルス IP_Y を行電極 $Y_1 \sim Y_n$ 各々に繰り返し印加する。X電極ドライバ51は、負極性のサステインパルス IP_X を行電極 $X_1 \sim X_n$ 各々に繰り返し印加する。そのサステインパルスの印加は行電極 $Y_1 \sim Y_n$ と行電極 $X_1 \sim X_n$ とで交互に行われ、繰り返しはこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけである。サステインパルス IP_X 又は IP_Y が印加されると、点灯セルモードに設定された画素セルPCの表示放電セルC1内の透明電極Xaと透明電極Yaとの間でサステイン放電が生起される。図13にはそのサステイン放電の放電電流の方向を矢印で示されている。サステイン放電によって発生した紫外線により、図7に示す如く表示放電セルC1内に形成されている蛍光体層16(赤色蛍光層、緑色蛍光層、青色蛍光層)が励起し、その蛍光色に対応した光が前面ガラス基板10を介して放射される。つまり、このサステイン行程Iの属するサブフィールドに割り当てられている回数分だけ、サステイン放電に伴う発光が繰り返し生起されるのである。

【0037】

負極性のサステインパルス IP_X 、 IP_Y の印加によって点灯セルモードに設定

された画素セルPCの表示放電セルC1内の列電極D側の放電空間には負の壁電荷が形成される。各サステイン行程Iは、サステインパルス IP_Y の行電極 $Y_1 \sim Y_n$ 各々への印加で終了する。この終了により、行電極 $Y_1 \sim Y_n$ 側の放電空間には正の壁電荷が形成される。

【0038】

図12に示されるように、サブフィールドSF1から次のサブフィールドSF2に移行すると、直ちに上記したようにX電極のアドレス行程 W_X 、そしてY電極のアドレス行程 W_Y 、そしてサステイン行程Iが行われる。その後のサブフィールドにおいても同様である。

第15サブフィールドSF15に含まれる消去行程Eでは、X電極ドライバ51は負極性の消去パルス EP_X を発生してPDP50の行電極 $X_1 \sim X_n$ の各々に印加し、同時にY電極ドライバ53は同様に負極性の消去パルス EP_Y を発生してPDP50の行電極 $Y_1 \sim Y_n$ の各々に印加する。消去パルス EP_X 及び EP_Y は所定期間に亘って印加される。消去パルス EP_X の電位は所定の消去電位から時間経過と共に徐々に0Vに近づき、所定期間経過時には0Vとなって消滅する。消去パルス EP_Y は所定期間に亘って所定の消去電位を維持するパルスである。これら消去パルス EP_X 及び EP_Y によって行電極X、Y間で消去放電が生じ、表示放電セルC1及び制御放電セルC2各々内に形成されていた壁電荷が消滅する。すなわち、PDP50の全ての画素セルPCが消灯セル状態に推移するのである。

【0039】

なお、第15サブフィールドSF15の消去行程E直前のサステイン行程Iでは、他のサブフィールドとは異なり、負極性のサステインパルス IP_X を行電極 $X_1 \sim X_n$ 各々に印加した段階でサステイン行程Iが終了している。

図12及び図13に示す如きリセット行程R(R_X , R_Y)、アドレス行程W(W_X , W_Y)、及びサステイン行程Iによる駆動が、図11に示す如き16通りの画素駆動データGDに基づいて実行される。図12及び図13に示す如き選択消去アドレス法を適用した駆動によれば、サブフィールドSF1～SF15の中で、画素セルPCを消灯セルモードから点灯セルモードに推移させることが可能な

機会は、サブフィールドSF1のリセット行程 R_X , R_Y だけである。従って、サブフィールドSF1～SF15のいずれかのサブフィールドで消去アドレス放電が生起され、一旦、画素セルPCが消灯セルモードに設定されると、それ以降のサブフィールドではこの画素セルPCが点灯セルモードに復帰することはない。従って、図11に示す如き16通りの画素駆動データGDに基づく駆動によれば、表現すべき輝度に対応した分だけ連続したサブフィールド各々において各画素セルPCが点灯セルモードに設定される。そして、消去アドレス放電(黒丸にて示す)が生起されるまでの間、各サブフィールドのサステイン行程Iにおいて連続してサステイン放電発光(白丸に示す)が為されるのである。

【0040】

上述した如き駆動により、1フィールド期間内において生起された放電の総数に対応した輝度が視覚される。すなわち、図11に示す如き第1～第16階調駆動による16種類の発光パターンによれば、白丸にて示されるサブフィールドにおいて生起されたサステイン放電の合計回数に対応した16階調分の中間輝度が表現されるのである。

【0041】

以上の如き選択消去アドレス法に基づく駆動を行う場合に、アドレス行程 W_X , W_Y において消去アドレス放電を生起させる際には、正極性の電圧V2を有する走査パルスSPを行電極Yに印加すると共に低電圧(0ボルト)の画素データパルスDPを列電極Dに印加している。このように、制御放電セルC2内の列電極Dを行電極Yよりも低電位とすることにより、制御放電セルC2内に形成されている2次電子放出材料層30が行電極Yに対して陰極となる。よって、消去アドレス放電を生起させる際には、2次電子放出材料層30から良好に2次電子が放出され、制御放電セルC2内において消去アドレス放電が確実に生起されるようになるのである。

【0042】

また、上記実施例においては、N個(実施例では15個)のサブフィールドによって(N+1)階調分の中間輝度を表現する階調駆動を一例にとってその動作を説明したが、N個のサブフィールドで 2^N 階調分の中間輝度を表現する階調駆動

動にも同様に適用可能である。

図 1 4 ～ 図 1 9 は、本発明の他の実施例として P D P 5 0 の内部構造の一部を抜粋して示す図である。図 1 4 ～ 図 1 9 においては図 6 ～ 図 1 0 に示された P D P 5 0 と同一部分は同一符号が用いられている。

【 0 0 4 3 】

図 1 4 は表示面側から眺めた P D P 5 0 の平面図である。図 1 5 は図 1 4 に示される V 1 - V 1 線から眺めた P D P 5 0 の断面図である。図 1 6 は図 1 4 に示される V 2 - V 2 線から眺めた P D P 5 0 の断面図である。図 1 7 は図 1 4 に示される V 3 - V 3 線から眺めた P D P 5 0 の断面図である。図 1 8 は図 1 4 に示される W 1 - W 1 線から眺めた P D P 5 0 の断面図である。図 1 9 は図 1 4 に示される W 2 - W 2 線から眺めた P D P 5 0 の断面図である。

【 0 0 4 4 】

図 1 4 ～ 図 1 9 に示される実施例においては、対をなす表示放電セル C 1 と制御放電セル C 2 とからなる画素セル P C の組み合わせが 2 種類ある。すなわち、表示ライン毎の複数の表示放電セル C 1 は水平方向において同一直線列で配置されている。表示放電セル C 1 に垂直方向において隣接する 2 つの制御放電セル C 2 のうちの一方（図 1 4 で上側の制御放電セル C 2）との組み合わせと、他方（図 1 4 の下側の制御放電セル C 2）との組み合わせとがある。その 2 種類の組み合わせは水平方向において交互に配置されている。それ故、画素セル P C を構成しない表示放電セル C 1 とそれに隣接する制御放電セル C 2 との間は横壁 1 5 A となっており、画素セル P C を構成する表示放電セル C 1 とそれに隣接する制御放電セル C 2 との間は横壁 1 5 A より厚みが薄い仕切壁 1 5 B となっている。制御放電セル C 2 の放電空間位置は図 1 4 から分かるように、水平方向において奇数番目と偶数番目とで異なっている。図 6 ～ 図 1 0 に示された P D P 5 0 と同様に、嵩上げ誘電体層 1 2 が形成されていない仕切壁 1 5 B と誘電体層 1 1 との間は表示放電セル C 1 の放電空間と制御放電セル C 2 の放電空間とを連通する間隙 r となっている。

【 0 0 4 5 】

その他の内部構造は図 6 ～ 図 1 0 に示された P D P 5 0 と同じである。

以上のように、本発明によれば、表示画面のラインピッチの縮小化を容易にできるので、高コントラスト及び高精細化を図ることができる。

【図面の簡単な説明】

【図 1】

従来の PDP の構造の一部を表示面側から眺めた平面図である。

【図 2】

図 1 に示される V-V 線上での PDP の断面を示す図である。

【図 3】

図 1 に示される W-W 線上での PDP の断面を示す図である。

【図 4】

PDP に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図 5】

本発明を適用したプラズマディスプレイ装置の概略構成を示す図である。

【図 6】

図 5 の装置中の PDP の構造の一部を表示面側から眺めた平面図である。

【図 7】

図 6 に示される V1-V1 線上での PDP の断面を示す図である。

【図 8】

図 6 に示される V2-V2 線上での PDP の断面を示す図である。

【図 9】

図 6 に示される W1-W1 線上での PDP の断面を示す図である。

【図 10】

図 6 に示される W2-W2 線上での PDP の断面を示す図である。

【図 11】

選択消去アドレス法における画素データ変換テーブルと、この画素データ変換テーブルによって得られた画素駆動データ GD に基づく発光駆動パターンを示す図である。

【図 12】

選択消去アドレス法による駆動時における発光駆動シーケンスの一例を示す図

である。

【図 1 3】

図 5 の装置においてサブフィールド S F 1 及び S F 2 の一部の期間に P D P に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 1 4】

本発明の他の実施例として図 5 の装置中の P D P の別の構造の一部を表示面側から眺めた平面図である。

【図 1 5】

図 1 4 に示される V 1 - V 1 線上での P D P の断面を示す図である。

【図 1 6】

図 1 4 に示される V 2 - V 2 線上での P D P の断面を示す図である。

【図 1 7】

図 1 4 に示される V 3 - V 3 線上での P D P の断面を示す図である。

【図 1 8】

図 1 4 に示される W 1 - W 1 線上での P D P の断面を示す図である。

【図 1 9】

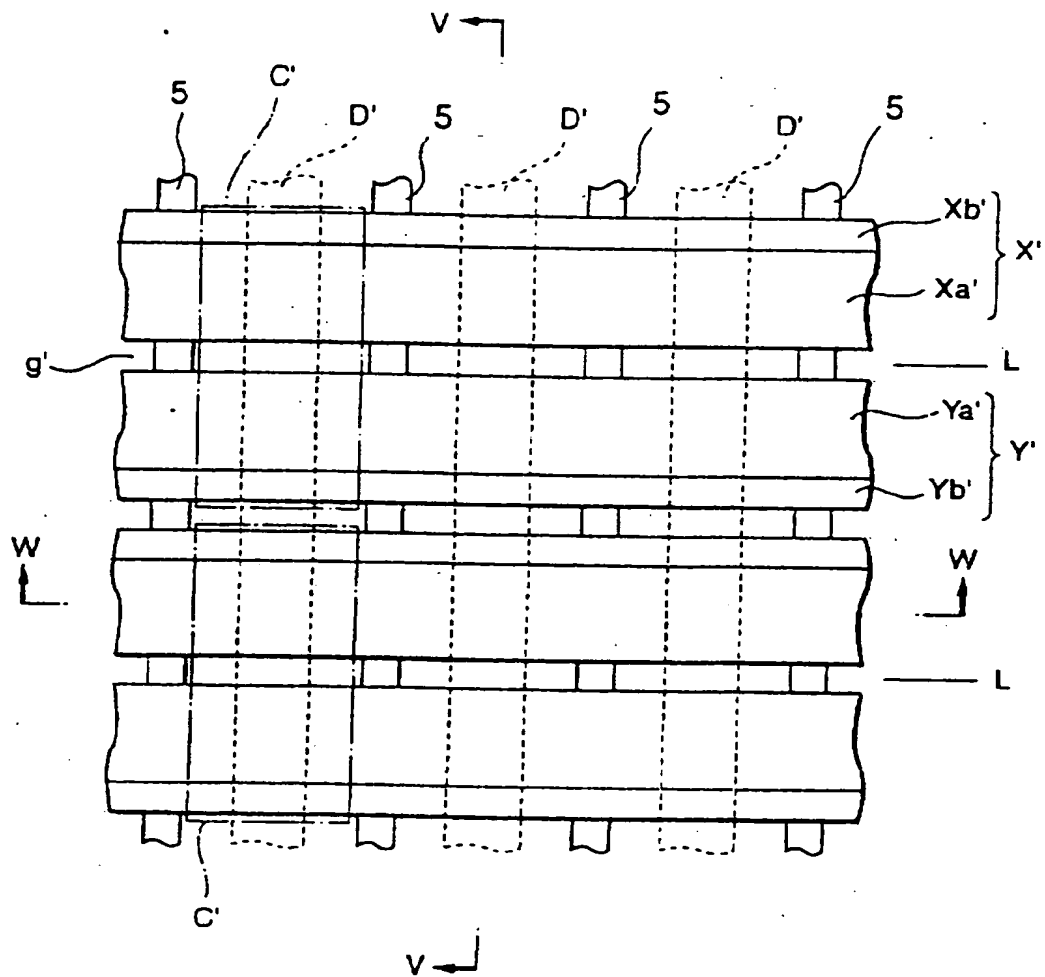
図 1 4 に示される W 2 - W 2 線上での P D P の断面を示す図である。

【符号の説明】

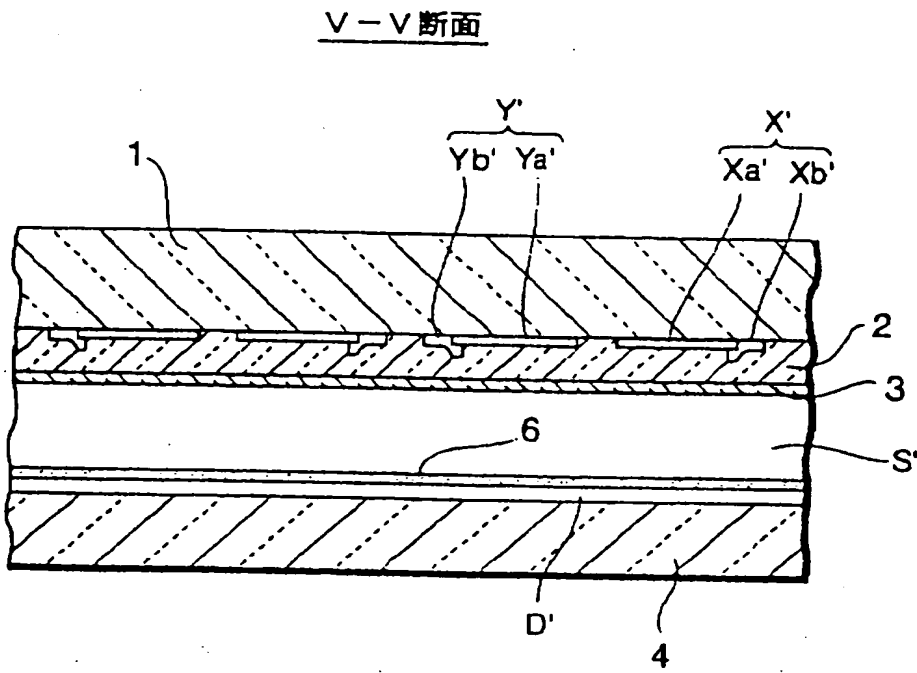
- 5 0 P D P
- 5 1 X 電極ドライバ
- 5 3 Y 電極ドライバ
- 5 5 アドレスドライバ
- 5 6 駆動制御回路
- C 1 表示放電セル
- C 2 制御放電セル
- P C 画素セル

【書類名】 図面

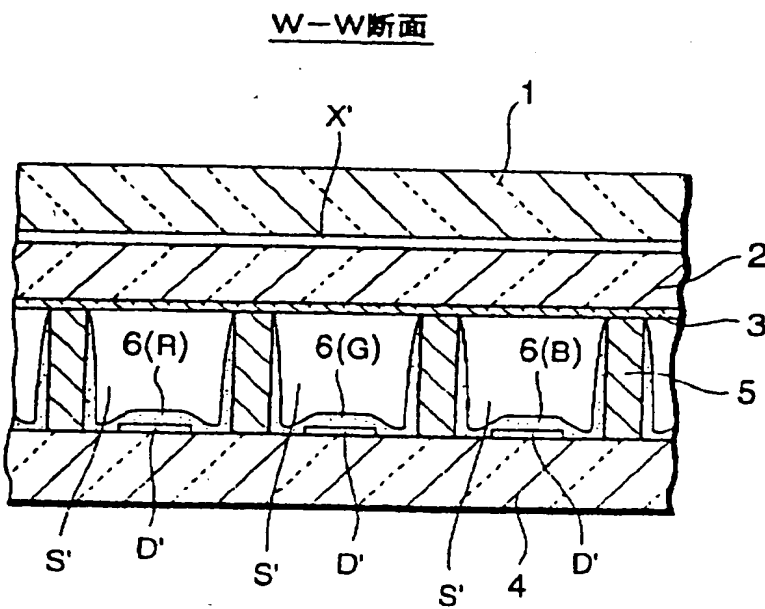
【図 1】



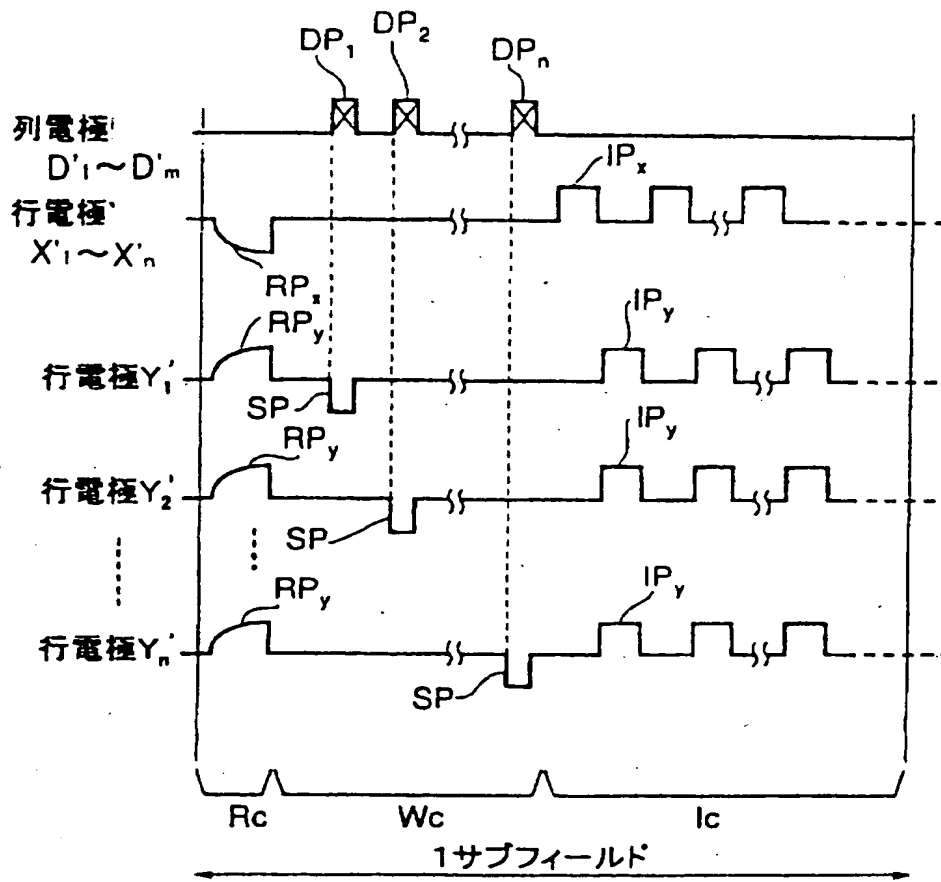
【図 2】



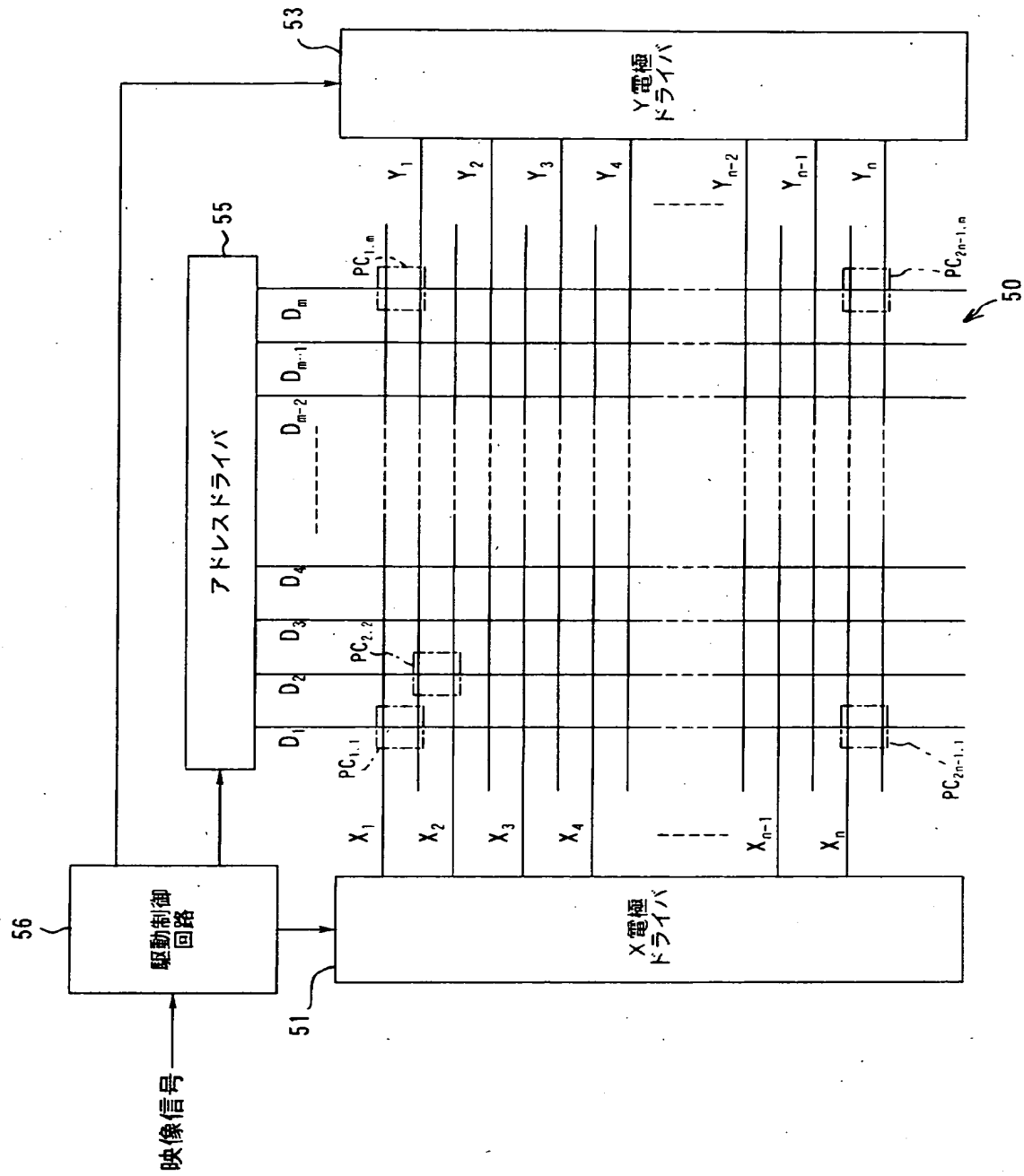
【図 3】



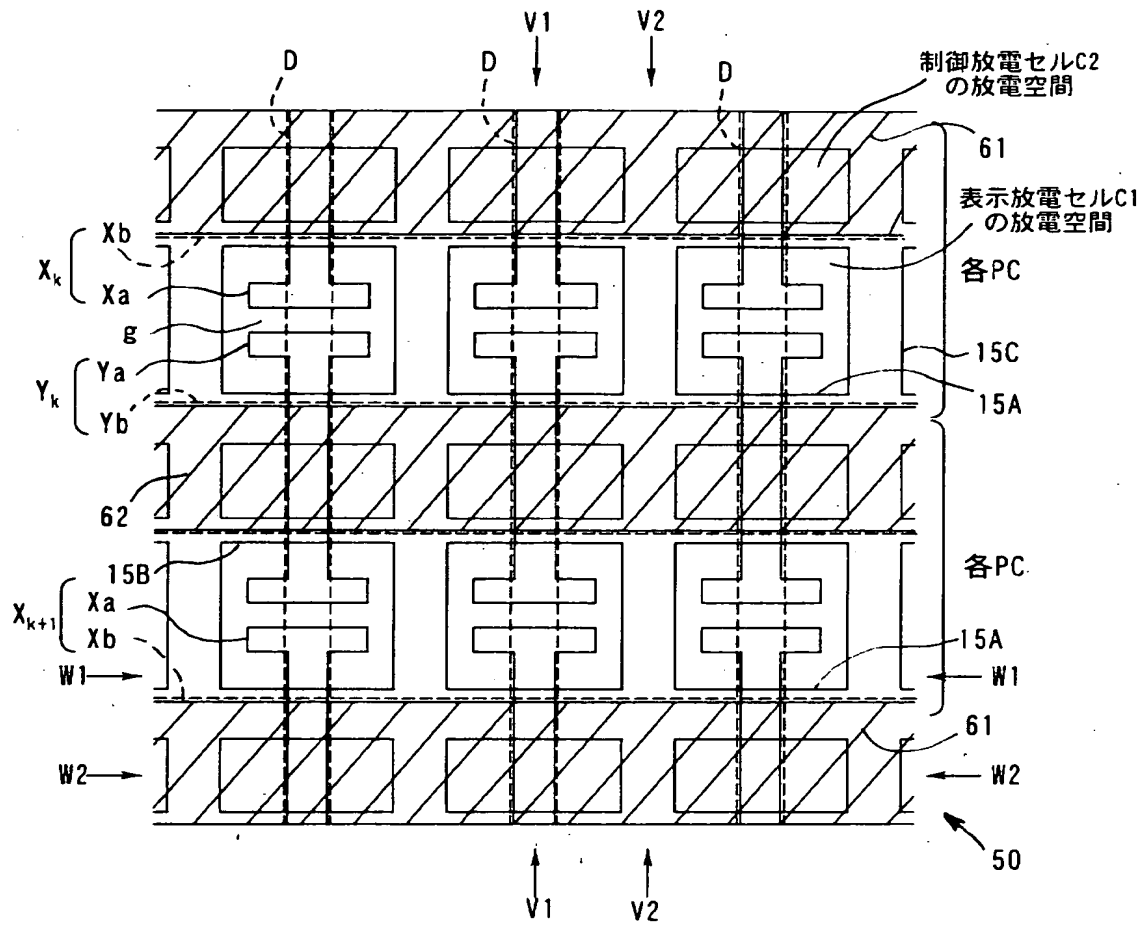
【図4】



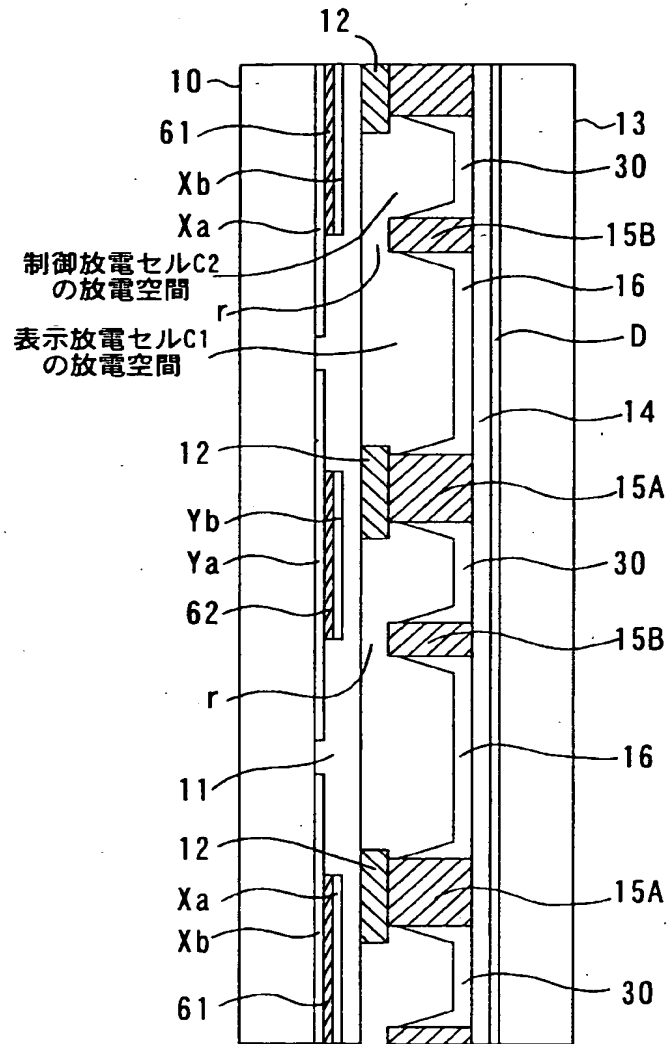
【図 5】



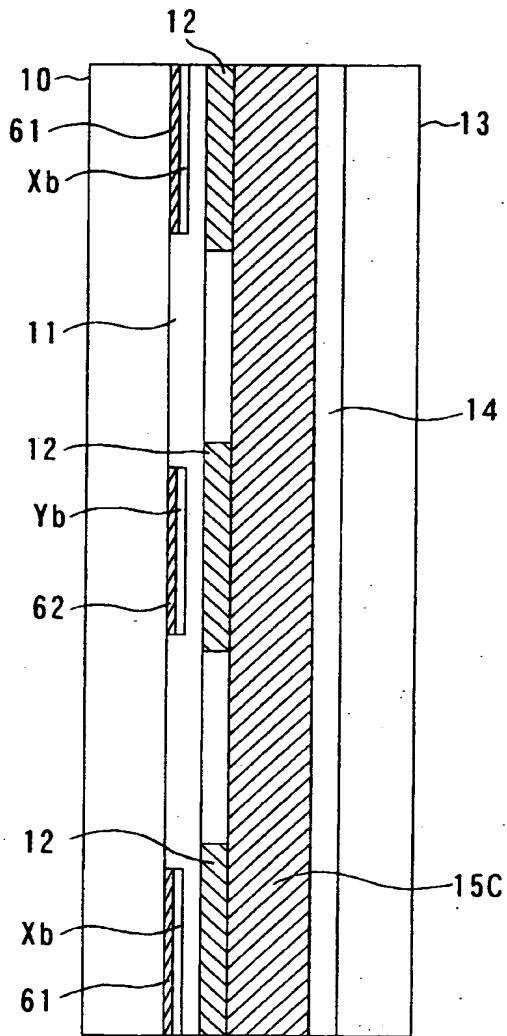
【図6】



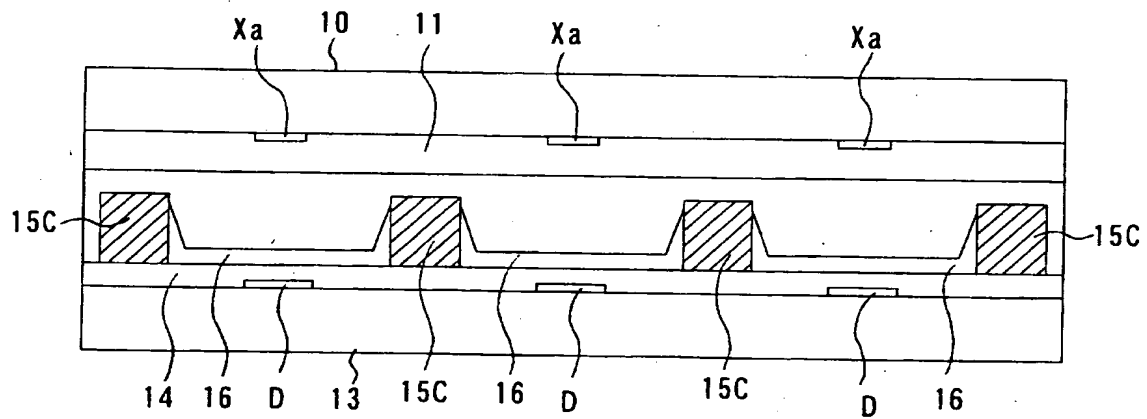
【図 7】



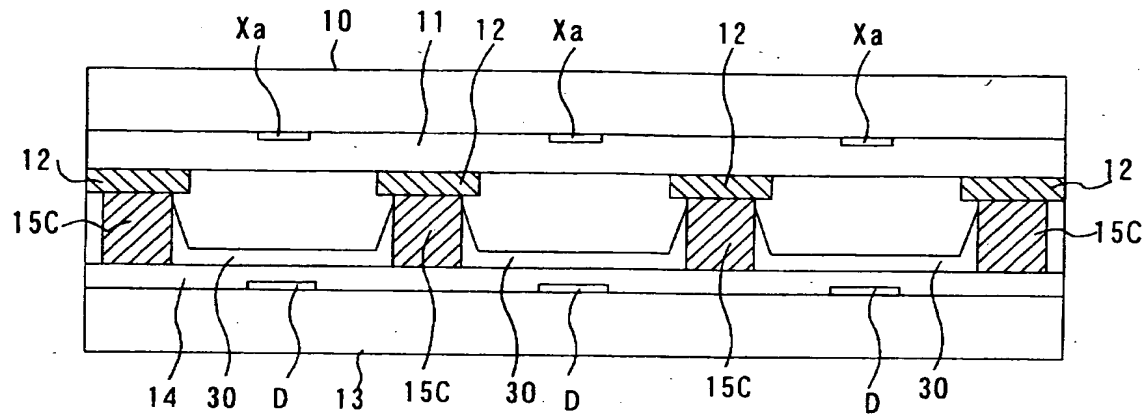
【図 8】



【図 9】



【図 1 0】

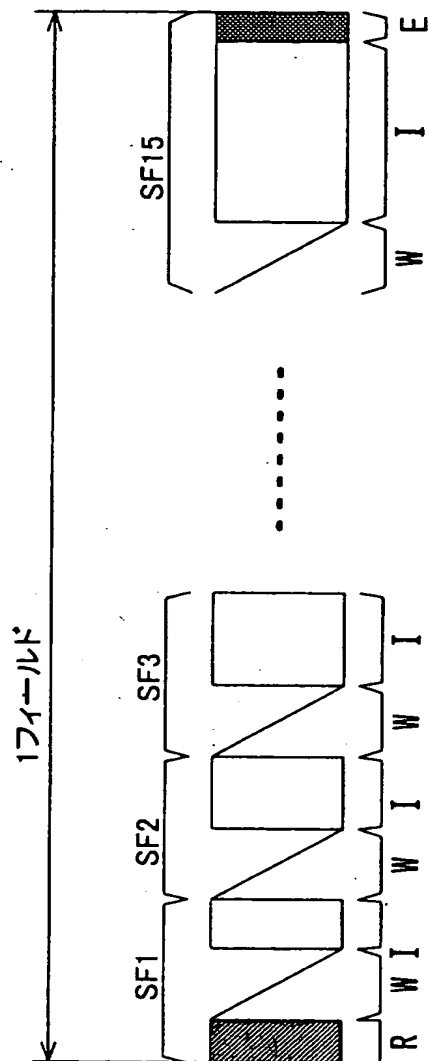


【図 11】

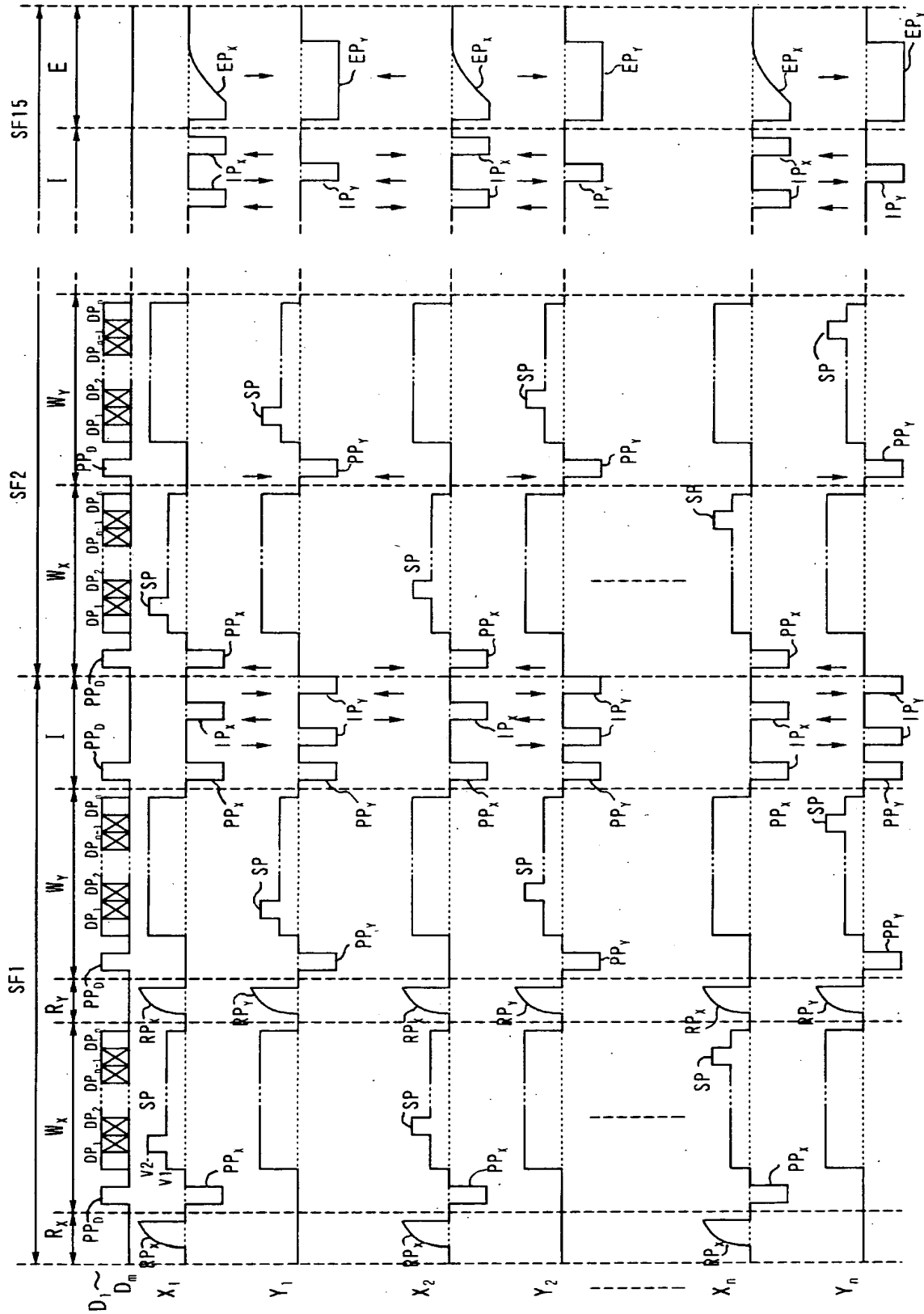
第 1 第 2 第 3 第 4 第 5 第 6 第 7 第 8 第 9 第 10 第 11 第 12 第 13 第 14 第 15 第 16	変換テーブル		発光パターン														
	PDS	GD	SF														
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
第 1	0000	1000000000000000	●														
第 2	0001	0100000000000000	○	●													
第 3	0010	0010000000000000	○	○	●												
第 4	0011	0001000000000000	○	○	○	●											
第 5	0100	0000100000000000	○	○	○	○	●										
第 6	0101	0000010000000000	○	○	○	○	○	●									
第 7	0110	0000001000000000	○	○	○	○	○	○	●								
第 8	0111	0000000100000000	○	○	○	○	○	○	○	●							
第 9	1000	0000000010000000	○	○	○	○	○	○	○	○	●						
第 10	1001	0000000001000000	○	○	○	○	○	○	○	○	○	●					
第 11	1010	0000000000100000	○	○	○	○	○	○	○	○	○	○	●				
第 12	1011	0000000000010000	○	○	○	○	○	○	○	○	○	○	○	○	●		
第 13	1100	0000000000001000	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 14	1101	0000000000000100	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 15	1110	0000000000000001	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 16	1111	0000000000000000	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

● : 消去アドレス放電 ○ : サステイン放電発光

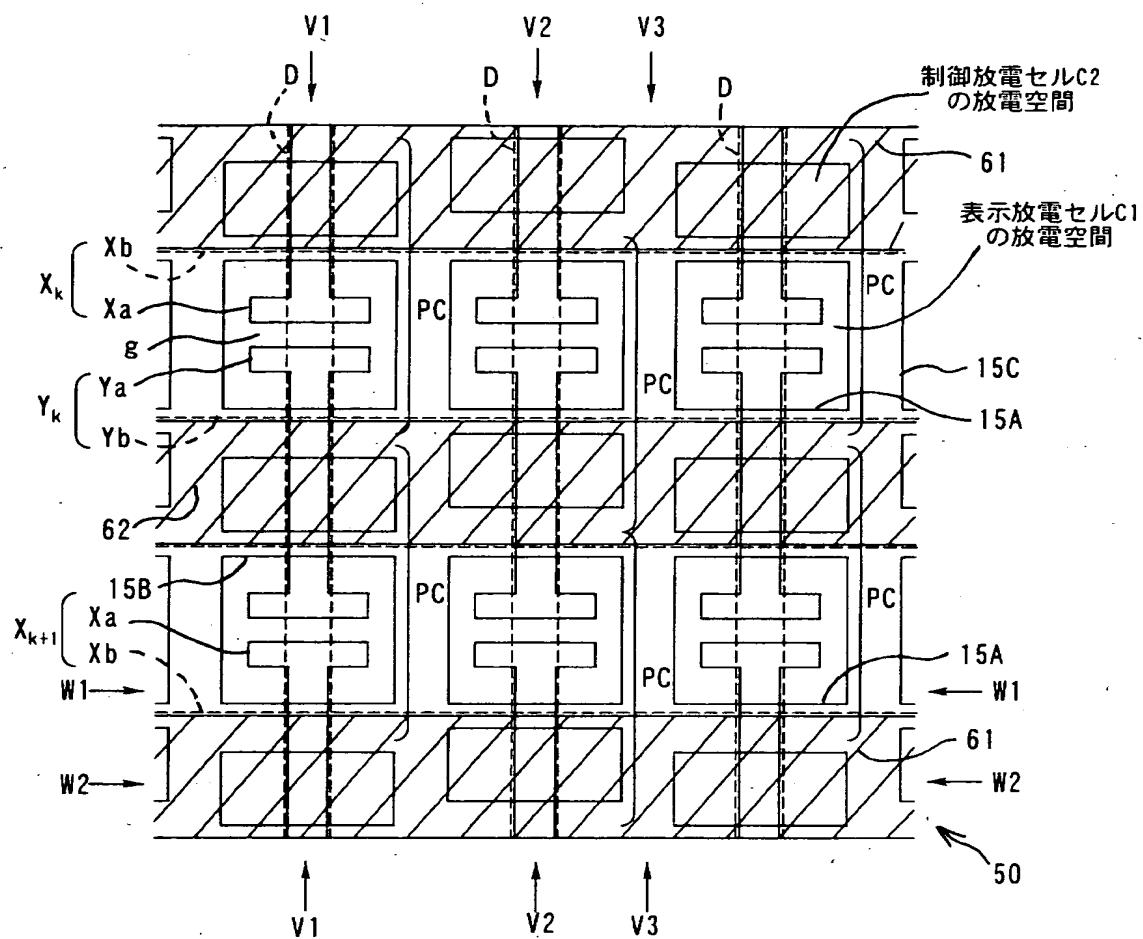
【図 12】



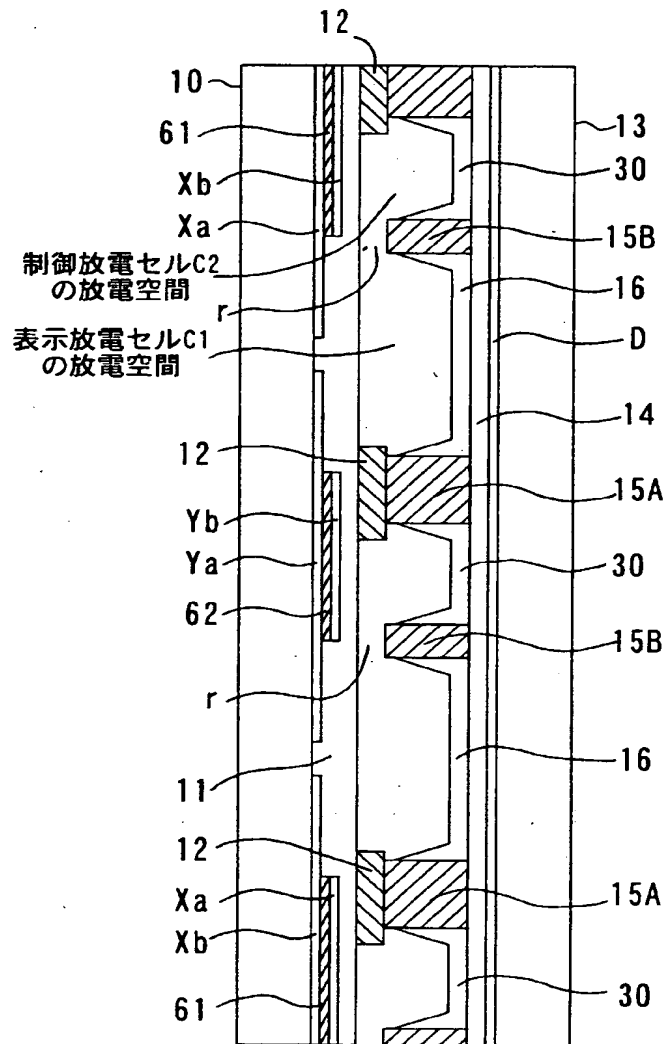
【図13】



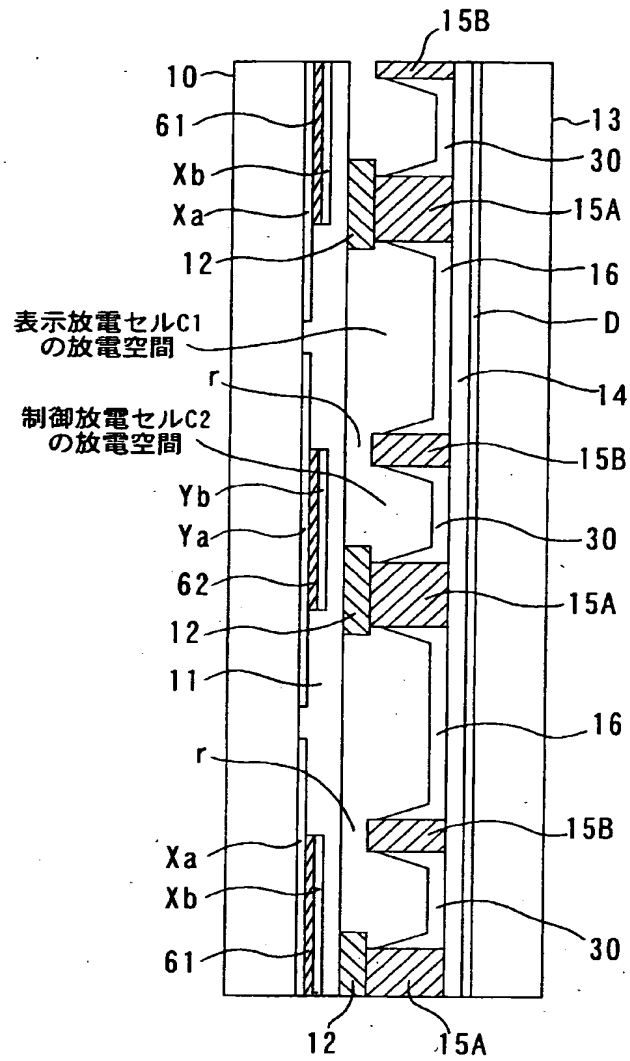
【図 14】



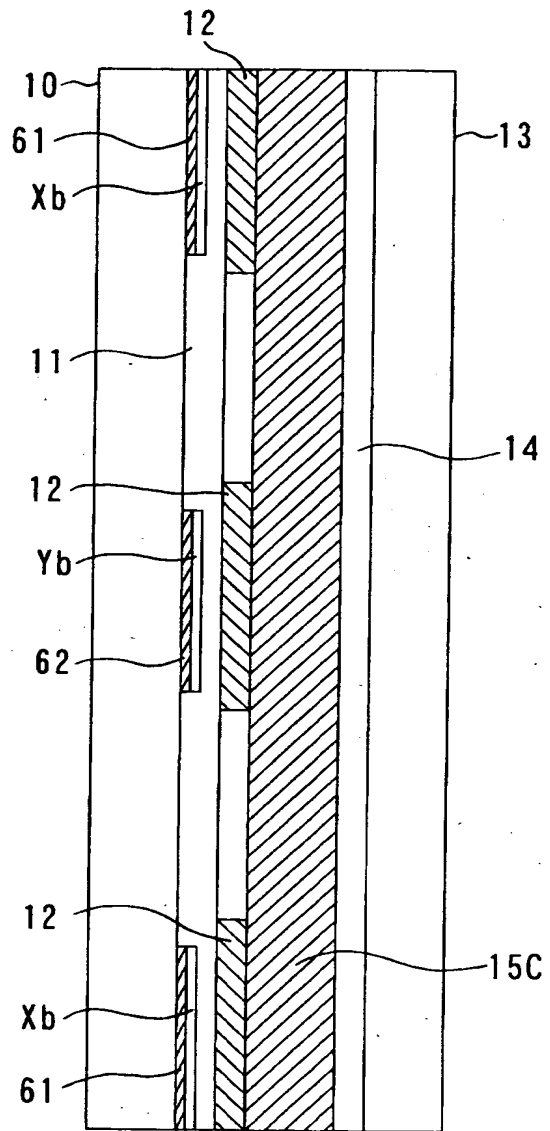
【図15】



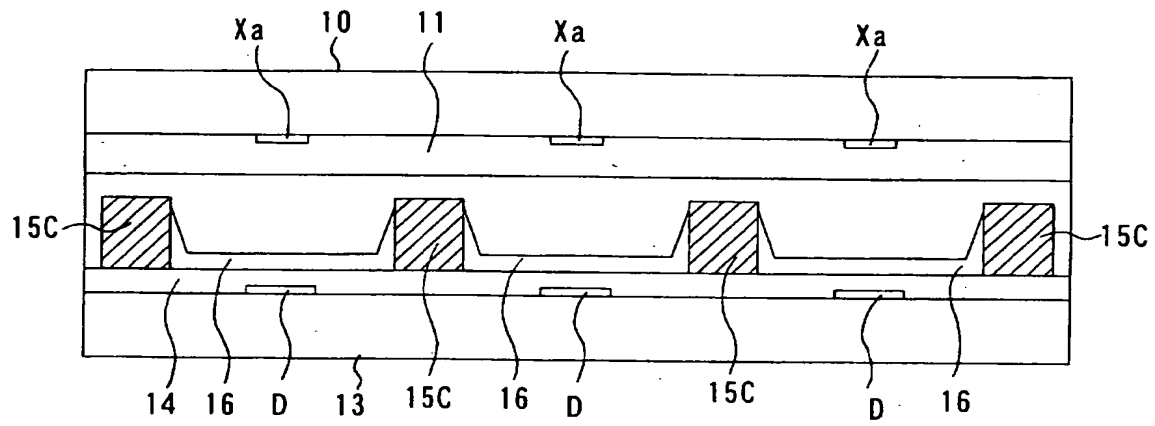
【図 16】



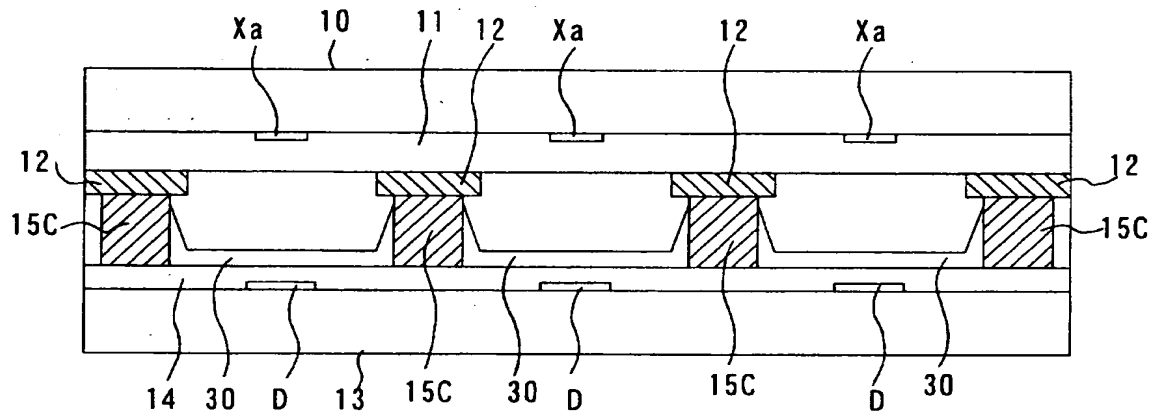
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 高コントラスト及び高精細化を図ることができるプラズマディスプレイパネル及びそれを用いた表示装置を提供する。

【解決手段】 プラズマディスプレイパネルにおいては、各々が行方向に延びて列方向に配列された複数の行電極と、前面基板の内面側において複数の行電極を被覆する誘電体層と、各々が前面基板と放電空間を介して対向配置された背面基板の内面側に列方向に延びて行方向に配列され、行電極と交差する位置において放電空間内に単位発光領域を形成する複数の列電極とが備えられ、複数の行電極の隣接する行電極間各々が表示ラインを構成し、単位発光領域の各々の周囲が隔壁により区画され、単位発光領域の各々が仕切り壁によって表示ラインを形成する隣接する行電極間での放電が行われる第1放電セルと、行電極の一部と列電極との間での放電が行われる第2放電セルとに区画され、対となる第1放電セルと第2放電セルとの間に連通部が設けられている。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都目黒区目黒1丁目4番1号
氏 名	パイオニア株式会社